

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-009261

(43)Date of publication of application : 10.01.1997

-----  
(51)Int.Cl. H04N 7/30

H04N 1/41

// H03M 7/40

-----  
(21)Application number : 07-156313 (71)Applicant : SONY CORP

(22)Date of filing : 22.06.1995 (72)Inventor : KITAMURA TAKUYA

-----  
(54) SIGNAL COMPRESSION DEVICE

(57)Abstract:

PURPOSE: To shorten the code length on an average in entropy encoding.

CONSTITUTION: This device is provided with a blocking means 20 for blocking the picture element information of a source sample surface, a DCT circuit 30 for transforming blocked input data, a quantizer 40 for quantizing the DCT transformed data, a VLC circuit 60 for variable length encoding the quantized data and a measurement circuit 80 for measuring the code length from the quantized data. Variable length encoded data and input sample data are selected based on output from the measurement circuit 80 so as to use the input sample data themselves as compression data instead of the variable length encoded data

when an entropy encoded variable length code amount is larger than the data amount on the surface of a unit input sample. Thus, the code amount is shortened on the average.

-----  
LEGAL STATUS [Date of request for examination] 18.04.2002  
[Date of sending the examiner's decision of rejection] 24.11.2004  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection] 2004-026190  
[Date of requesting appeal against examiner's decision of rejection] 24.12.2004  
[Date of extinction of right]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] It is the signal compression equipment characterized by replacing with variable-length coded data and using the input sample data itself as compressed data when there are more amounts of variable-length signs which carried out entropy code modulation in the signal compression equipment which was made to perform a data compression using entropy code modulation to the data which blocked and carried out orthogonal transformation of the pixel information on a original sample side than the amount of data of a unit input sample side .

[Claim 2] The signal compression equipment according to claim 1 characterized by to have the orthogonal-transformation means which carries out orthogonal transformation of the pixel information on a original sample side, a quantization means quantize the data by which orthogonal transformation was carried out, the variable-length-coding means which carries out variable length coding of the quantization level, and a measurement means measure code length from the above-mentioned quantization level, and to be performed selection with variable-length coded data and input sample data based on the output from this measurement means.

[Claim 3] It is the signal compression equipment according to claim 1 characterized by using a discrete cosine transformation means as the above-mentioned orthogonal transformation means.

[Claim 4] The signal compression equipment according to claim 1 characterized by carrying out multiplex [ of the identifier for identifying variable-length coded data and input sample data ] on the bit stream after compression processing as a non code sign.

[Claim 5] The signal compression equipment according to claim 1 characterized by being made as [ choose / when the amount of signs of the above-mentioned variable-length coded data is larger than the amount of signs when adding the above-mentioned identifier to input sample data / the above-mentioned input sample data ].

[Claim 6] The above-mentioned code length is a signal compression equipment according to claim 1 characterized by being the code length of a DCT block unit, a macro block unit, a slice unit, and a picture unit etc.

[Claim 7] Signal expanding equipment characterized by processing changed into the

original incompressible data to the above-mentioned variable-length coded data being performed, and making it use it as incompressible data as it is to input sample data when variable-length coded data and input sample data are intermingled in an input bit stream. [Claim 8] Signal expanding equipment according to claim 7 which consisted of a variable-length decryption means by which an input bit stream is supplied and variable-length decryption processing is performed, a reverse quantization means to reverse-quantize the decrypted data, an inverse transformation means to change the reverse-quantized data into sample side data, and an identifier detection means to detect the identifier of variable-length coded data and input sample data.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention enables it to aim at reduction of the average amount of modulation codes by using the input sample data itself as compressed data instead of variable-length code data, when the amount of signs when carrying out especially variable length coding increases more than the amount of signs of input sample data about the signal compression equipment and signal expanding equipment by the bit reduction using entropy code modulation.

[0002]

[Description of the Prior Art] With current and the bit reduction technique of a digital signal, the technique mainly called entropy code modulation is used. Entropy code modulation tends to reduce the amount of signs by assigning shorter code length to the signal which appear an input signal statistically after changing frequency conversion etc.

[0003] That is, he is trying to decrease the amount of signs as an average by assigning a short code to the symbol which appear statistically based on the property of signaling information, especially frequency characteristics, and assigning a long code to the symbol which seldom appears.

[0004] Processing which generally carries out unit blocking of the pixel information on an input sample side (2-dimensional space side) in order to realize such data compression processing, and carries out variable length coding (entropy code modulation) of what performed orthogonal transformation processing of discrete cosine transformation (DCT) etc. to them, and was quantized after that is performed.

[0005]

[Problem(s) to be Solved by the Invention] In carrying out variable length coding of the input data, by the case, the amount of signs may increase rather than the amount of data of the space side of a DCT input. For example, when one of two or more block data (for example, 64 space side data) when DCT-izing is the impulse signal [ as / all whose remainder are zero in non-zero ], as for an input sample side, i.e., frequency side data, all DCT multipliers will become non-zero. This is clearer than the formula (1) mentioned later.

[0006] Although such an impulse signal is seldom seen by natural drawing, it is a signal which can be seen well by image-processing systems, such as a case where an alphabetic character is superimposed, and computer graphics. When compressing such an image, in order to earn the zero run value at the time of variable length coding (it mentions later), it will be necessary to make a quantization step into a big value, and the amount of signs will increase by this. Since a quantization step becomes large, a quantization error will come to be conspicuous, and the image quality acquired as a result will deteriorate.

[0007] Then, this invention enables it to also improve image quality degradation while it solves such a conventional technical problem and enables it to aim at reduction of the average amount of signs.

[0008]

[Means for Solving the Problem] In the signal compression equipment applied to this

invention indicated to claim 1 in order to solve the technical problem mentioned above In the signal compression equipment which was made to perform a data compression using entropy code modulation to the data which blocked and carried out orthogonal transformation of the pixel information on a original sample side When there are more amounts of variable-length signs which carried out entropy code modulation than the amount of data of a unit input sample side, it is characterized by replacing with variable-length coded data and using the input sample data itself as compressed data.

[0009] With the signal expanding equipment concerning this invention indicated to claim 7, when variable-length coded data and input sample data are intermingled in an input bit stream, processing changed into the original incompressible data to the above-mentioned variable-length coded data is performed, and it is characterized by making it use it as incompressible data as it is to input sample data.

[0010]

[Function] Claim 1 is related with the so-called encoder. When there are more amounts of variable-length signs which carried out entropy code modulation than the amount of data of a unit input sample side, it replaces with variable-length coded data, and the input sample data itself is used as compressed data. The average amount of signs decreases by using input sample data. Since variable-length coded data and input sample data are intermingled, the identifier (that is, non code sign) for making both discernment easy is added, and it is made with a data stream.

[0011] Claim 7 is related with a decoder. When variable-length coded data and input sample data are intermingled in an input bit stream, processing changed into the original incompressible data to variable-length coded data is performed. To input sample data, it is used as incompressible data as it is. Both discernment is performed based on the identifier mentioned above.

[0012]

[Example] Then, an example of the signal compression equipment concerning this invention and signal expanding equipment is explained to a detail with reference to a drawing.

[0013] Drawing 1 shows an example of the signal compression equipment 10. The example explained below explains the bit reduction using the discrete cosine transformation (DCT conversion) used by MPEG (Moving Picture coding Experts Group) etc. MPEG -- actual -- a motion compensation technique -- using -- inter-frame -- although it is also

performing asking for difference, in order to simplify explanation here -- the so-called intra -- processing (processing in a frame) of a picture is shown.

[0014] The examples of representation of encoding processing for that are blocking processing, DCT transform processing, quantization processing, and variable-length-coding processing (VLC processing), and the blocking circuit 20, the DCT conversion circuit 30, the quantization circuit 40, the variable-length coding network 60, etc. are formed in the signal compression equipment (encoder) 10 it is indicated to drawing 1 that corresponds with this. Each processing is explained referring to a drawing.

[0015] DCT transform processing is performed about the pixel of the letter of a block of a certain decided magnitude. The batch inside JPEG (Joint Photographic coding Experts Group) or MPEG is a 8x8-pixel 1-block unit. Since the target input image consists of 720x480 pixels per frame to it at MP@ML of MPEG 2, the processing which divides an input image (frame data) into every block (8x8 pixels) like drawing 2 is needed.

[0016] An example of the blocking circuit 20 which realizes blocking processing is shown in drawing 3. The blocking circuit 20 has two RAM 21 and 22. When RAM22 writes in on the other hand, for example and it is in a condition, RAM21 of one of the two is already controlled by the read-out condition. A writing side receives the address which stores the so-called data of a raster scan on memory, and a read-out side receives the address which constitutes a block like drawing 2. These addresses are generated in the write-in address generation circuit 23 and the read-out address generation circuit 24. These generating circuits 23 and 24 are realizable by a suitable counter circuit and suitable ROM as everyone knows.

[0017] When RAM22 writes in and it is in a condition, the switch SWc which the switches SWa and SWb for an address change are controlled for RAM21 to read and to be in a condition, and gives a write-in pulse (enabling pulse) is controlled. The output from RAM 21 and 22 is also changed with Switch SWd. These changes are performed synchronously and controlled by the change pulse supplied to a terminal 25.

[0018] DCT conversion is performed about the block which divided input image data, respectively. DCT conversion is conversion to two-dimensional two-dimensional frequency component information (frequency side information) from pixel information (space side information) like the 2-dimensional Fourier transform. As shown in drawing 4 (A), when the two-dimensional-array variable  $f(*, *)$  is assigned to each pixel, it is known that what is necessary is just to perform the operation shown in a formula (1) for

changing into the data (DCT multiplier)  $(*, *)$  F of drawing 4 (B).

[0019]

[Equation 1]

[0020] Consequently, a component with a high perpendicular frequency will appear as the DCT multiplier  $F(*, *)$  goes rightward from the left and a component with high horizontal frequency goes to down from a top. In  $F(0, *)$ , a perpendicular frequency is zero, i.e., DC, and, as for  $F(*, 0)$ , horizontal frequency becomes zero, i.e., DC. Both level and a perpendicular frequency serve as DC, and  $F(0, 0)$  becomes the pixel average of the block. As shown in a formula (1), in order to multiply by it and add the irrational number, as for a DCT multiplier, the output number of bits becomes long rather than the number of bits of input image data. Incidentally, in MPEG, the dynamic range of an output becomes 12 bits to 8 bits of dynamic ranges of an input. Since the high-speed algorithm etc. is already announced if attached to the concrete hard configuration of a DCT conversion circuit, the explanation is omitted.

[0021] By input image like natural drawing, a bias comes out of the result of DCT conversion to a component according to the description of frequency distribution of image data. For example, it becomes a small value with the data near [ an assembly and a high frequency component ] zero with the big amplitude at low frequency components, such as DC. Generally AC multiplier except DC multiplier that is, shows the Laplace distribution, and the rate of what has the small amplitude becomes large. Although bit reduction is performed using this property (bias of an output), quantization processing is usually performed before this bit reduction.

[0022] Quantization means the processing which breaks and rounds off a DCT multiplier by a certain number. Drawing 5 is the example of a quantizer 40. A divider 42 is formed in a quantizer 40, division process is carried out with the quantization step value with which the input data (DCT multiplier: absolute value) from terminal 40a was given to terminal



40b, and the information below the quotient which it is as a result of a division, and decimal point is supplied to the rounding-off circuit 44, respectively.

[0023] In many cases, rounding off is used as rounding-off. In order that the direction of an absolute value with a sign may tend to treat division processing and rounding-off processing, they are treated in the absolute value with a sign by this example of implementation. Therefore, the inputted code data is left as it is, if the absolute value of decimal point obtained when it is outputted as it is and breaks by the divider 42 becomes 0.5 or more, only 1 will be increased and the absolute value of a quotient will be less than 0.5 in an adder 45, and it is outputted as an integral value. A switch 46 is a switch for giving this value of 1 or 0 to an adder 45, and is controlled based on the decimal point information.

[0024] As for the quantization level (quantized result) equivalent to the high frequency component of the DCT multiplier shown in drawing 4 (B), by drawing like natural drawing, zero occur frequently by quantizing. Consequently, the amount of signs after encoding decreases. And it is controlled to fluctuate the number for quantization (quantization step) to break, and to become the desired amount of signs so that it may mention later. If a quantization step is enlarged, while the amount of signs decreases, the image quality of the output image after encoding will deteriorate. It is because this has a quantization error by quantization processing and the error is proportional to a quantization step.

[0025] As shown in drawing 1, variable length coding of the quantization level is carried out. At MPEG, it is encoding by the two-dimensional coding which combined entropy code modulation with the zero run about quantization level other than DC (VLC). A zigzag scan is carried out, and the DCT multiplier of 2-dimensional one is put in order and changed into a single dimension, as shown in drawing 6. Single dimension data are as follows.

F (0 1), F (1 0), F (2 0), F (1 1), F (0 2), F (0 3), F (1 2), and ..... F (5 7), F (6 7), F (7 6), and F (7 7)

Although zero appear continuously like drawing 7 with this zigzag scan, the number of continuous zero is encoded. That is, zero run coding is performed. It is efficiently compressible with this zero run coding.

[0026] Furthermore, by drawing like natural drawing, since the bias of an output to which the probability for the thing which has the small amplitude to appear becomes high produces the component of non-zero, entropy code modulation is used in coding of data. In entropy code modulation, a shorter symbolic language is assigned to what has the small



barrel shifter 67 is controlled. The output symbolic language from a symbolic language ROM 65 is shifted by barrel shifter 67 so that the head of a current symbolic language may be connected with the last of the last symbolic language.

[0033] RAM68 is used as an object for read-modify-write. That is, the RAM data of the address with which the present symbolic language the head of was pulled out, and the last symbolic language were written are fed back, and it selects for every bit. That is, the bit to a feedback system side with the amount of [ which the last sign occupies ] other bit changes to a symbolic-language ROM 65 side. In this way, the current VLC data of the form combined with the last sign are written in RAM68.

[0034] The bit stream which this processing wound to EOB and encoded to \*\*\*\*\* RAM68 is stored, and an output bit stream is obtained by reading the contents of RAM68 one by one behind.

[0035] Depending on the input image dealt with in this invention as mentioned above It is expected that the amount of signs by which variable length coding was carried out increases more than the amount of input sample data, and it takes into consideration that the amount of signs average in that case increases. Some of the amounts of signs and the amounts of input sample data by which variable length coding was carried out are measured per block. When the amount of signs by which variable length coding was carried out exceeds the amount of input sample data, the input sample data (being, raw data, i.e., non codec data, which are not compressed, fixed length) itself is used as transmission data.

[0036] Consequently, in the bit stream which constitutes transmission data, codec data (DCT+ quantization +VLC) (processed block data) and fixed-length non codec data will be intermingled, and multiplex [ of the identifier (it is called a non code sign) for identifying both ] is carried out into a bit stream.

[0037] Making code length of this non code sign into A bits temporarily,  $8 \times 8 = 64$  and input sample data presuppose that it is the data measurement size of a block 8 bits. In such a case, the monitor of the code length after carrying out variable length coding is always carried out, and when this code length X is  $X > A + 64 \times 8$ , non code data (input sample data) ( $= 64 \times 8$  bits) are transmitted with the non code sign A. As a non code sign A, the suitable number of bits of 1 bits or more can be applied.

[0038] In order to realize the above processing, as shown in drawing 1 , the VLC code length measurement circuit 80 is established in the preceding paragraph of the

variable-length coding network 60. And the block data (non codec data) of the blocking circuit 20 is further supplied to the variable-length coding network 60 through the register 55 of time amount doubling with the quantization level which passed the register 50 of time amount doubling, respectively. A register 50 is for delaying input data until it measures code length in the measurement circuit 80, and a register 55 is used in order to double the output data and timing of a register 50.

[0039] In the variable-length coding network 60, change to non codec data and codec data and multiprocessing of the non code sign A are performed according to non code processing. Therefore, corresponding to non-code processing, two or more switches 70 and 71 are formed in the variable-length coding network 60 like drawing 9. The non code change signal outputted from the measurement circuit 80 is supplied to terminal 80a. A fixed-length sign is given to a terminal 72. And when variable-length code length is long, the non code sign A from a symbolic language ROM 65 is chosen by the switch 70, and is changed to the fixed code length for non codes using a switch 71 by the code length ROM 64 side. The non codec data outputted from the register 55 are chosen by the switch 70.

[0040] Drawing 10 is the example of the variable-length code length measurement circuit 80 mentioned above. A zero run value is calculated by the zero run counter 82 being formed also in this measurement circuit 80, counting up with the output of NOR circuit 81, and being reset with the output of OR circuit 83. The code length of input data is computed by this zero run value and a non-zero value being supplied to code length ROM 84. The data in which code length is shown are integrated by the block length counting circuit 85, the value is compared by Criterion X and the comparator 86, and the comparison result serves as a non code change signal.

[0041] The processor for decoding data from the bit stream in which codec data and non codec data were intermingled is shown after drawing 11. Drawing 11 is the example of signal expanding equipment (decoder) 100 applicable to this invention.

[0042] In a decoding side, when a non-code sign is accepted on a bit stream, a previous bit stream can be decoded by outputting as sample data as it is, without processing general decoding.

[0043] Therefore, as shown in drawing 11, an input bit stream is decoded in the variable-length decryption circuit (VLD circuit) 110, when it is the usual data (codec data), goes into the discrete cosine inverse transformation circuit (IDCT circuit) 140 through the reverse quantizer 120, and is changed into the block data of a space side.



and it outputs the zero equivalent to the number of a zero run value.

[0049] If the zero run counter 116 becomes zero, a selector 118 will become the "1" side, and the non-zero value outputted from the reverse symbolic language ROM 114 will be selected and outputted. While the zero run counter 116 is operating, the address circuit 115 is controlled by the output of the zero run counter 116 not to operate.

[0050] On the other hand, if existence of the non code sign A is checked in the non code sign detector 117, it will judge that all the data blocks after it are fixed-length data, a switch 121 will be changed, and fixed code length (fixed value) will be seen off in a address generation circuit 115. It can come, simultaneously a switch 118 is changed to a barrel shifter 112 side, and a barrel shifter output is outputted as it is. That is, non codec data are chosen.

[0051] Once the non code sign detector 117 is cleared for every block and judges that non, it is a code, it is \*\*\*\*\*ed in non code processing until the block concerned is completed.

[0052] Reverse quantization is processing contrary to the quantization by the side of encoding. A reverse quantization output can be obtained by multiplying an output by the quantization step from the VLD circuit 110. Drawing 13 is the example of the reverse quantization circuit 120, and consists of only multipliers 122. The quantization data (absolute value data) decoded from the terminal 124 are supplied, and reverse quantization data are called for by carrying out the multiplication of the quantization step from a terminal 126.

[0053] IDCT processing is processing contrary to DCT processing, and the block data of a space side is obtained from the block data which was the information on a frequency side by this reverse processing. IDCT processing is realizable by the operation shown in (2) types.

[0054]

[Equation 2]

[0055] Deblocking processing is processing returned to frame data from the form of block data, and playback image data is obtained by this processing.

[0056] In addition, the processing mentioned above is not necessarily immediately applicable to coding of MPEG used now. It is because the non--code sign mentioned above is not defined on the bit stream. Defining this freely is not admitted in respect of compatibility. Therefore, the bit stream obtained by processing mentioned above is a bit stream of a new format.

[0057] The modification of the processing mentioned above is explained below.

[0058] 1. Although it judged [ which compresses for every DCT block / or or ] whether compression would be carried out in the explanation mentioned above, as the decision unit, a macro block unit, a slice unit, a picture unit, etc. can be used.

[0059] 2. the explanation mentioned above -- intra -- although processing was described, it is applicable also to the interchange processing (inter-frame processing) as used in the field of MPEG etc.

[0060] 3. In the explanation mentioned above, although bit reduction of a picture signal was described, voice etc. is applicable also to the bit reduction about other signals.

[0061] 4. Although the explanation mentioned above described the bit reduction by the so-called conversion coding which used DCT as orthogonal transformation processing, if entropy code modulation was used, it is applicable to all.

[0062] 5. Although blocking processing is included at the encoding side (compression-equipment side) in the explanation mentioned above, it is also possible to exclude blocking processing and deblocking processing if needed.

[0063]

[Effect of the Invention] As explained above, since the input data itself was transmitted about the part exceeding the value which has the amount of signs in the bit reduction and expanding processing by the bit reduction which used entropy code modulation in this invention, average code length can be reduced, and it has the description which can improve transmission efficiency. Therefore, this invention is applied to compression / expanding equipments, such as an image, and is very suitable.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the schematic diagram showing an example of the signal compression equipment concerning this invention.

[Drawing 2] It is drawing for explaining blocking processing.

[Drawing 3] It is the schematic diagram showing an example of a blocking circuit.

[Drawing 4] It is the explanatory view of DCT processing and IDCT processing.

[Drawing 5] It is the schematic diagram showing an example of a quantizer.

[Drawing 6] It is drawing showing the example of a zigzag scan.

[Drawing 7] It is drawing showing the example of a concrete numeric value at the time of a zigzag scan.

[Drawing 8] It is drawing showing the example of a VLC table for two-dimensional coding.

[Drawing 9] It is the schematic diagram showing an example of a variable-length coding network.

[Drawing 10] It is the schematic diagram showing an example of a variable-length code length measurement circuit.

[Drawing 11] It is the schematic diagram showing an example of the signal expanding equipment which applied this invention.

[Drawing 12] It is the schematic diagram showing an example of a variable-length coding network.

[Drawing 13] It is the schematic diagram showing an example of a reverse quantizer.

[Description of Notations]



10 Signal Compression Equipment  
30 DCT Circuit  
40 Quantizer  
60 Variable-length Coding Network  
80 Code Length Measurement Circuit  
62 Zero Run Counter  
64 Code Length ROM  
65 Symbolic Language ROM  
100 Signal Expanding Circuit  
110 Variable-length Decryption Circuit  
120 Reverse Quantizer  
140 IDCT Circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-9261

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
1/41			1/41	B
// H 0 3 M 7/40		9382-5K	H 0 3 M 7/40	

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平7-156313

(22) 出願日 平成7年(1995)6月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 北村 卓也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 山口 邦夫 (外1名)

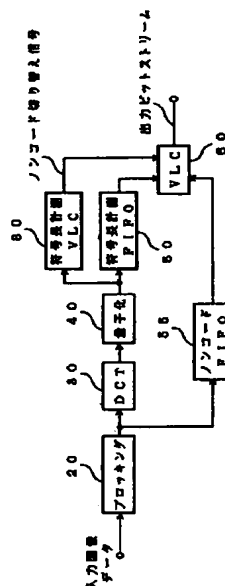
(54) 【発明の名称】 信号圧縮装置

(57) 【要約】

【目的】 エントロピー符号化において平均的な符号長の短縮を図れるようにする。

【構成】 原サンプル面の画素情報をブロック化するブロック化手段20と、ブロック化された入力データを変換するDCT回路30と、DCT変換されたデータを量子化する量子化器40と、量子化データを可変長符号化するVLC回路60と、量子化データより符号長を計測する計測回路80とを有する。エントロピー符号化した可変長符号量が単位入力サンプル面のデータ量よりも多いときは、可変長符号化データに代えて入力サンプルデータそのものを圧縮データとして用いるように、計測回路80からの出力に基づいて可変長符号化データと入力サンプルデータとの選択が行なわれる。これによって平均的な符号量の短縮を図れる。

信号圧縮装置 (エンコーダ) 10



## 【特許請求の範囲】

【請求項1】 原サンプル面の画素情報をブロック化して直交変換したデータに対しエントロピー符号化を利用してデータ圧縮を行なうようにした信号圧縮装置において、

エントロピー符号化した可変長符号量が単位入力サンプル面のデータ量よりも多いときは、可変長符号化データに代えて入力サンプルデータそのものを圧縮データとして用いるようにしたことを特徴とする信号圧縮装置。

【請求項2】 原サンプル面の画素情報を直交変換する直交変換手段と、

直交変換されたデータを量子化する量子化手段と、

量子化レベルを可変長符号化する可変長符号化手段と、

上記量子化レベルより符号長を計測する計測手段とを有し、

この計測手段からの出力に基づいて可変長符号化データと入力サンプルデータとの選択が行なわれるようにしたことを特徴とする請求項1記載の信号圧縮装置。

【請求項3】 上記直交変換手段としては、離散余弦変換手段が使用されたことを特徴とする請求項1記載の信号圧縮装置。

【請求項4】 可変長符号化データと入力サンプルデータとを識別するための識別子がノンコード符号として圧縮処理後のビットストリーム上に多重されたことを特徴とする請求項1記載の信号圧縮装置。

【請求項5】 上記可変長符号化データの符号量が、入力サンプルデータに上記識別子を加えたときの符号量よりも大きいときに上記入力サンプルデータが選択されるようになされたことを特徴とする請求項1記載の信号圧縮装置。

【請求項6】 上記符号長は、DCTブロック単位、マクロブロック単位、スライス単位、ピクチャー単位の符号長などであることを特徴とする請求項1記載の信号圧縮装置。

【請求項7】 入力ビットストリーム中に可変長符号化データと入力サンプルデータとが混在するとき、上記可変長符号化データに対しては元の非圧縮データに変換する処理が施され、入力サンプルデータに対してはそのまま非圧縮データとして使用するようにしたことを特徴とする信号伸長装置。

【請求項8】 入力ビットストリームが供給され、可変長復号化処理が行なわれる可変長復号化手段と、復号化されたデータを逆量子化する逆量子化手段と、逆量子化されたデータをサンプル面データに変換する逆変換手段と、可変長符号化データと入力サンプルデータとの識別子を検出する識別子検出手段とで構成された請求項7記載の信号伸長装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、エントロピー符号化を利用したビットリダクションによる信号圧縮装置および信号伸長装置に関し、特に可変長符号化したときの符号量が、入力サンプルデータの符号量よりも多くなるようなときは、可変長符号データの代わりに入力サンプルデータそのものを圧縮データとして使用することにより、平均的な伝送符号量の削減を図れるようにしたものである。

【0002】

【従来の技術】現在、デジタル信号のビットリダクション技術では主としてエントロピー符号化と呼ばれる技術が使われている。エントロピー符号化とは入力信号を周波数変換等の変換を施した後、統計的に多く現れる信号に対してより短い符号長を割り当てることによって符号量を削減しようとするものである。

【0003】すなわち信号情報の性質、特に周波数特性をもとに、統計的に多く出現するシンボルには短いコードを割り当て、あまり出現しないシンボルには長いコードを割り当てることにより、平均として符号量を減少させるようにしている。

【0004】このようなデータ圧縮処理を実現するためには一般に入力サンプル面（二次元の空間面）の画素情報を単位ブロック化し、それらに対して離散余弦変換（DCT）などの直交変換処理を施し、その後量子化したものを可変長符号化（エントロピー符号化）する処理が行なわれる。

【0005】

【発明が解決しようとする課題】入力データを可変長符号化するに当たっては、場合によってはDCT入力空間面のデータ量よりも符号量が増えることがある。例えば、DCT化したときの複数のブロックデータ（例えば64個の空間面データ）のうち1つが非ゼロで、残り全てがゼロであるようなインパルス信号の場合には、入力サンプル面つまり周波数面データは全てのDCT係数が非ゼロになってしまう。これは後述する式（1）より明らかである。

【0006】このようなインパルス信号は自然画ではあまり見られないが、文字をスーパーインポーズする場合やコンピュータグラフィックス等の画像処理系ではよく見受けられる信号である。このような画像を圧縮するとき、可変長符号化時のゼロラン値（後述する）を稼ぐためには量子化ステップを大きな値にする必要があり、これによって符号量が多くなってしまふ。量子化ステップが大きくなることから量子化誤差が目立つようになり、結果として得られる画質が劣化してしまふ。

【0007】そこで、この発明はこのような従来の課題を解決したものであって、平均的な符号量の減少を図れるようにすると共に、画質劣化も改善できるようにしたものである。

【0008】

【課題を解決するための手段】上述した課題を解決するため請求項1に記載したこの発明に係る信号圧縮装置では、原サンプル面の画素情報をブロック化して直交変換したデータに対しエントロピー符号化を利用してデータ圧縮を行なうようにした信号圧縮装置において、エントロピー符号化した可変長符号量が単位入力サンプル面のデータ量よりも多いときは、可変長符号化データに代えて入力サンプルデータそのものを圧縮データとして用いるようにしたことを特徴とする。

【0009】請求項7に記載したこの発明に係る信号伸長装置では、入力ビットストリーム中に可変長符号化データと入力サンプルデータとが混在するとき、上記可変長符号化データに対しては元の非圧縮データに変換する処理が施され、入力サンプルデータに対してはそのまま非圧縮データとして使用するようにしたことを特徴とする。

【0010】

【作用】請求項1はいわゆるエンコーダに関するものである。エントロピー符号化した可変長符号量が単位入力サンプル面のデータ量よりも多いときは、可変長符号化データに代えて入力サンプルデータそのものを圧縮データとして用いる。入力サンプルデータを用いることにより平均的な符号量が減少する。可変長符号化データと入力サンプルデータとが混在するため、両者の識別を容易にするための識別子（つまりノンコード符号）が付加されてデータストリームとなされる。

【0011】請求項7はデコーダに関するものである。入力ビットストリーム中に可変長符号化データと入力サンプルデータとが混在するとき、可変長符号化データに対しては元の非圧縮データに変換する処理が施される。入力サンプルデータに対してはそのまま非圧縮データとして使用する。両者の識別は上述した識別子に基づいて行なわれる。

【0012】

【実施例】続いてこの発明に係る信号圧縮装置および信号伸長装置の一例を図面を参照して詳細に説明する。

【0013】図1は信号圧縮装置10の一例を示す。以下説明する例はMPEG (Moving Picture coding Experts Group) などを用いられている離散余弦変換 (DCT変換) を用いたビットリダクションについて説明する。MPEGでは実際には動き補償技術を用いてフレーム間差分を求めることも行なっているが、ここでは説明を簡単にするため所謂イントラピクチャの処理 (フレーム内処理) について示す。

【0014】そのためのエンコード処理の代表例はプロ

セッシング処理、DCT変換処理、量子化処理および可変長符号化処理 (VLC処理) であって、これと対応するように図1に示す信号圧縮装置 (エンコーダ) 10にはブロッキング回路20、DCT変換回路30、量子化回路40、可変長符号化回路60などが設けられている。図面を参照しながらそれぞれの処理について説明する。

【0015】DCT変換処理はある決められた大きさのブロック状の画素について行なわれる。JPEG (Joint Photographic coding Experts Group) やMPEG内部の処理単位は8×8画素の1ブロック単位である。それに対し、対象とする入力画像は、例えば、MPEG2のMP@MLでは1フレーム720×480画素から構成されるため、図2のように入力画像 (フレームデータ) をブロック (8×8画素) ごとに分割する処理が必要となる。

【0016】ブロッキング処理を実現するブロッキング回路20の一例を図3に示す。ブロッキング回路20は2つのRAM21、22を有する。一方例えばRAM22が書き込み状態にあるときは、もう片方のRAM21は読み出し状態に制御される。書き込み側は所謂ラスタスキャンのデータをメモリ上に格納するアドレスを受け、読み出し側は図2のようなブロックを構成するようなアドレスを受ける。これらのアドレスは書き込みアドレス発生回路23、読み出しアドレス発生回路24にて発生される。これらの発生回路23、24は周知のように適当なカウンタ回路とROMで実現できる。

【0017】RAM22が書き込み状態にあるときは、RAM21が読み出し状態となるようにアドレス切り替え用のスイッチSWa、SWbが制御され、また書き込みパルス (イネーブルパルス) を与えるスイッチSWcが制御される。RAM21、22からの出力もスイッチSWdで切り替えられる。これらの切り替えは同期して行なわれるものであって、端子25に供給される切り替えパルスによって制御される。

【0018】入力画像データを分割したブロックについてそれぞれDCT変換が行なわれる。DCT変換は二次元のフーリエ変換と同様に、二次元的な画素情報 (空間面情報) から二次元的な周波数成分情報 (周波数面情報) への変換である。図4 (A) に示すように各画素に二次元配列変数  $f(*, *)$  を割り当てたとき、図4 (B) のデータ (DCT係数)  $F(*, *)$  に変換するには式 (1) に示す演算を行なえばよいことが知られている。

【0019】

【数1】

... (1)

10

20

30

40

50

[illegible]

これを(ラン、非ゼロ値)のシンボルで表すと、  
「(3, 1), (0, -2), (3, -1), (1, 1), (3, -1), (EOB)」  
となる。このシンボルをVLCテーブルを利用してバイナリー表示すると、

「001110 01001 001111 0110  
001111 10」

となる。これをMSBビットを先頭ビットとして8ビットずつ切り出しヘキサデシマル表示すると、

「3927b1f0」

となる。これがビットストリームとなる。

【0028】以上のような可変長符号化処理を行なうための可変長符号化回路(VLC回路)60の具体例を図9に示す。

【0029】図9において、ゼロランカウンタ62は入力データ(量子化レベル)がゼロである事象が連続した回数をカウントするもので、入力データが非ゼロ値のときに同期クリアされる。したがってノア回路61より出力された入力データでカウントアップし、オア回路62より出力された入力データでクリアされる。その結果、ゼロランカウンタ62の出力である「ゼロラン値」と入力データそのものとで二次元事象が構成される。

【0030】この二次元事象は2つのROM64, 65に与えられ、符号長ROM64からは二次元事象の符号長が出力され、符号語ROM65からは二次元事象の符号語がビット詰めして出力される。符号長データはアドレス発生回路66に入力される。

【0031】アドレス発生回路66からは符号長データの積算値がアドレスデータとして出力される。アドレス発生回路66は、図示しないが適当な累算器と簡単なロジックで構成されたものを使用することができる。

【0032】アドレスデータによってRAM68のアドレスがコントロールされると共にパレルシフト67のシフト量が制御される。パレルシフト67によって直前の符号語の最後に、現在の符号語の先頭が繋がるように符号語ROM65からの出力符号語がシフトされる。

【0033】RAM68はread-modify-write用として使用される。つまり、頭出しされた現在の符号語と、直前の符号語が書かれたアドレスのRAMデータをフィードバックしてビットごとにセレクトする。つまり、直前の符号の占めるビット分はフィードバック系側に、それ以外のビットは符号語ROM65側に切り替わる。こうして、直前の符号に結合した形の現在のVLCデータがRAM68に書き込まれる。

【0034】この処理がEOBまで繰り返えされてRAM68にエンコードしたビットストリームが蓄えられ、後にRAM68の内容を順次読み出すことによって出力ビットストリームが得られる。

【0035】上述したようにこの発明では取り扱う入力画像によっては、可変長符号化された符号量が入力サン

プルデータ量よりも多くなることが予想され、その場合には平均的な符号量が増えてしまうことを考慮して、可変長符号化された符号量と入力サンプルデータ量との多少をブロック単位で比較し、可変長符号化された符号量が入力サンプルデータ量を越えるときには入力サンプルデータそのもの(圧縮されていない生のデータつまりノンコーディックデータであって固定長)を伝送データとして使用するようにしたものである。

【0036】その結果、伝送データを構成するビットストリームにはコーディックデータ(DCT+量子化+VLC)処理されたブロックデータと固定長のノンコーディックデータとが混在することになり、両者を識別するための識別子(ノンコード符号という)がビットストリーム中に多重される。

【0037】仮にこのノンコード符号の符号長をAビットとし、ブロックのデータサンプル数を $8 \times 8 = 64$ 、入力サンプルデータは8ビットであるとする。そうした場合、可変長符号化した後の符号長を常にモニタし、もし、この符号長Xが、

$X > A + 64 \times 8$

であるときは、ノンコード符号Aと共にノンコードデータ(入力サンプルデータ)( $= 64 \times 8$ ビット)を伝送するようにしたものである。ノンコード符号Aとしては1ビット以上の適当なビット数を当てることができる。

【0038】以上の処理を実現するため、図1に示すように可変長符号化回路60の前段にはVLC符号長計測回路80が設けられる。そして、可変長符号化回路60には時間合わせのレジスタ50を通過した量子化レベルと、さらにブロック回路20のブロックデータ(ノンコーディックデータ)が時間合わせのレジスタ55を介してそれぞれ供給される。レジスタ50は計測回路80で符号長を測定するまで入力データを遅延させるためのもので、レジスタ55はレジスタ50の出力データとタイミングを合わせるために使用される。

【0039】可変長符号化回路60ではノンコード処理に応じてノンコーディックデータとコーディックデータとの切り替えとノンコード符号Aの多重処理が行なわれる。そのため、ノンコード処理に対応して可変長符号化回路60には図9のように複数のスイッチ70, 71が設けられる。端子80aには計測回路80より出力されたノンコード切り替え信号が供給される。端子72には固定長符号が与えられる。そして、可変長符号長が長いときには符号語ROM65からのノンコード符号Aがスイッチ70によって選択され、符号長ROM64側ではスイッチ71を用いてノンコード用の固定符号長に切り替えられる。レジスタ55より出力されたノンコーディックデータがスイッチ70によって選択される。

【0040】図10は上述した可変長符号長計測回路80の具体例である。この計測回路80にもゼロランカウンタ82が設けられ、ノア回路81の出力でカウントア

ップされ、オア回路 8 3 の出力でリセットされることで、ゼロラン値が求められる。このゼロラン値と非ゼロ値が符号長 ROM 8 4 に供給されて入力データの符号長が算出される。符号長を示すデータはブロック長積算回路 8 5 に積算され、その値が判定基準 X と比較器 8 6 で比較され、その比較結果がノンコード切り替え信号となる。

【0041】コーデックデータとノンコーデックデータとが混在したビットストリームよりデータをデコードするための処理系が図11以降に示されている。図11はこの発明に適用できる信号伸長装置（デコーダ）100の具体例である。

【0042】デコード側ではノンコード符号をビットストリーム上に認めた場合は一般のデコードの処理をせずにそのままサンプルデータとして出力することにより、さきのビットストリームをデコードすることができる。

【0043】そのため、図11に示すように入力ビットストリームは可変長復号化回路（VLD回路）110で解読され、通常のデータ（コーデックデータ）であるときは逆量子化器120を経て、離散余弦逆変換回路（IDCT回路）140に入って空間面のブロックデータに変換される。

【0044】これに対してノンコーディックデータであるときはFIFO構成のレジスタ145で上述した通常処理の時間合わせのために所定時間遅延された後セクタ119に送られる。

【0045】VLD回路110でノンコード符号Aが検出されたときはセクタ119がノンコード側に切り替えられてノンコードで伝送されたブロックデータがデブロッキング回路150に送られる。ノンコード符号Aが検出されないときはセクタ119が通常処理系に切り替えられて通常処理系の結果がデブロッキング回路150に導びかれる。

【0046】VLD回路110では量子化後のデータが再現される。先の例でいえば、

「3927b1f0」

の入力に対してジグザグスキャンした後のデータ

[illegible]

が出力される。

【0047】図12はこのVLD回路110の一例を示す。入力データはRAM111に蓄えられる。1符号語ずつデコードしていくため、今までデコードした総符号長より、現在デコードすべき符号語のアドレスをアドレス発生回路115によって求め、そのアドレス値がRA

M111に与えられる。次に今までデコードした総符号長より現在デコードすべき符号語の先頭位置がアドレス発生回路115で分かるので、これを求めてパレルシフタ112に与え、現在デコードすべき符号語の頭出しが行なわれる。頭出しされた符号語は2つのROM113, 114に供給される。一方のROM113は符号語から符号長を出力する逆符号長ROMであり、もう一方のROM114は符号語から二次元事象であるゼロラン値と非ゼロ値を出力する逆符号語ROMである。

【0048】逆符号長ROM113により現在の符号語の符号長を求めて、アドレス発生回路115に与える。アドレス発生回路115では次の符号語のRAM111上のアドレスとバレルシフタ112へのシフト量が算出される。逆符号語ROM114により求められたゼロラン値はゼロランカウンタ116にロードされ、このカウンタ116がデクリメントして0になるまでセクタ118を"0"側に倒して、ゼロラン値の個数に相当するゼロを出力する。

【0049】ゼロランカウンタ116がゼロになるとセレクト118が“1”側となって逆符号語ROM114から出力される非ゼロ値がセレクトされて出力される。ゼロランカウンタ116が動作している間はアドレス回路115は動作しないようにゼロランカウンタ116の出力で制御される。

【0050】一方、ノンコード符号検出回路117でノンコード符号Aの存在が確認されると、それ以降のデータブロックは全て固定長のデータであると判断し、スイッチ121が切り替えられてアドレス発生回路115には固定符号長(固定値)が送られる。これと同時に、スイッチ118がバレルシフタ112側に切り替えられてバレルシフタ出力がそのまま出力される。つまりノンコーディックデータが選択される。

【0051】ノンコード符号検出回路117はブロック毎にクリアされるようにし、一度ノンコードであると判断したら、当該ブロックが終了するまでノンコード処理をが継続される。

【0052】逆量子化はエンコード側の量子化と逆の処理である。VLD回路110からの出力に量子化ステップを乗ずることによって逆量子化出力を得ることができる。図13は逆量子化回路120の具体例であって乗算器122のみで構成される。端子124よりデコードされた量子化データ（絶対値データ）が供給され、端子126よりの量子化ステップを乗算することによって逆量子化データが求められる。

【0053】IDCT処理はDCT処理とは逆の処理であり、この逆処理により周波数面の情報であったブロックデータから空間面のブロックデータが得られる。IDCT処理は(2)式に示す演算で実現できる。

【0054】

【数2】

10

20

30

50

$$f(n_1, n_2) = \frac{2}{\sqrt{8 \times 8}} \sum_{k_1=0}^7 \sum_{k_2=0}^7 K_{k_1} K_{k_2} F(k_1, k_2) \cos \left( \frac{(2n_1+1)k_1\pi}{2 \times 8} \right) \cos \left( \frac{(2n_2+1)k_2\pi}{2 \times 8} \right)$$

$$(0 \leq n_1, n_2 \leq 7) \quad K_k = \begin{cases} \frac{1}{\sqrt{2}} & k=0 \\ 1 & k \neq 0 \end{cases}$$

... (2)

【0055】デブロッキング処理はブロックデータの形からフレームデータに戻す処理であって、この処理によって再生画像データが得られる。

【0056】なお、上述した処理は現在使われているMPEG等の符号化にすぐ使えるわけではない。というのは上述したノンコード符号がビットストリーム上に定義されていないからである。これを勝手に定義するのは互換性の点で認められない。したがって上述した処理によって得られるビットストリームは新フォーマットのビットストリームである。

【0057】上述した処理の変形例を以下に説明する。

【0058】1. 上述した説明ではDCTブロック毎に圧縮するか圧縮しないかを判断したが、その判断単位としてはマクロブロック単位、スライス単位、ピクチャ単位などを利用できる。

【0059】2. 上述した説明ではイントラ処理について述べていたが、MPEG等でいうところのインター処理（フレーム間処理）にも適用できる。

【0060】3. 上述した説明では、画像信号のビットリダクションについて述べたが、音声等、他の信号に関するビットリダクションにも適用できる。

【0061】4. 上述した説明では、直交変換処理としてDCTを用いた、いわゆる変換符号化によるビットリダクションについて述べたが、エントロピー符号化を用いたものならば全てに適用可能である。

【0062】5. 上述した説明では、エンコード側（圧縮装置側）ではブロッキング処理が含まれているが、必要に応じてブロッキング処理やデブロッキング処理を省くことも可能である。

【0063】

【発明の効果】以上説明したようにこの発明では、エントロピー符号化を利用したビットリダクションによる信号圧縮・伸長処理において、符号量がある値を越える部分については、入力データそのものを伝送するようにしたため、平均的な符号長を削減でき、伝送効率を改善で

きる特徴を有する。したがってこの発明は画像などの圧縮・伸長装置に適用して極めて好適である。

#### 10 【図面の簡単な説明】

【図1】この発明に係る信号圧縮装置の一例を示す系統図である。

【図2】ブロッキング処理を説明するための図である。

【図3】ブロッキング回路の一例を示す系統図である。

【図4】DCT処理とIDCT処理の説明図である。

【図5】量子化器の一例を示す系統図である。

【図6】ジグザグスキャン例を示す図である。

【図7】ジグザグスキャン時の具体的数値例を示す図である。

20 【図8】二次元符号化のためのVLCテーブル例を示す図である。

【図9】可変長符号化回路の一例を示す系統図である。

【図10】可変長符号長計測回路の一例を示す系統図である。

【図11】この発明を適用した信号伸長装置の一例を示す系統図である。

【図12】可変長符号化回路の一例を示す系統図である。

【図13】逆量子化器の一例を示す系統図である。

#### 30 【符号の説明】

10 信号圧縮装置

30 DCT回路

40 量子化器

60 可変長符号化回路

80 符号長計測回路

62 ゼロランカウンタ

64 符号長ROM

65 符号語ROM

100 信号伸長回路

40 110 可変長復号化回路

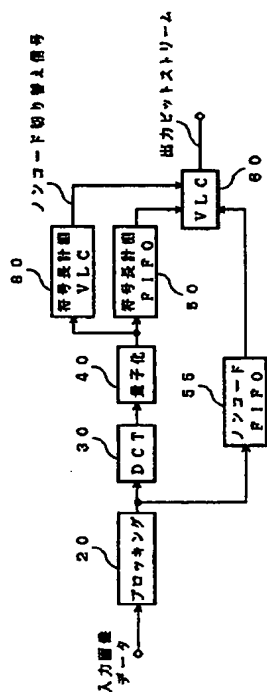
120 逆量子化器

140 IDCT回路



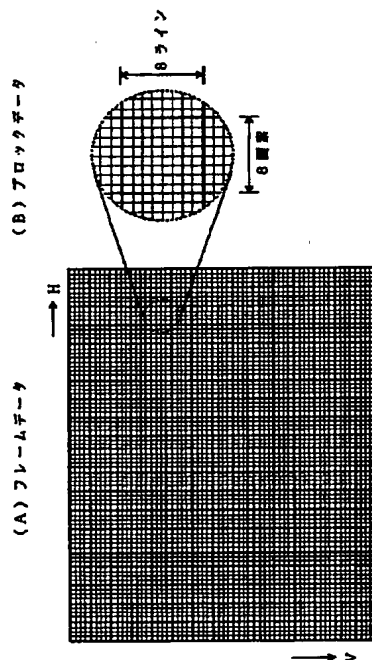
【図1】

信号圧縮回路（エンコーダ）10



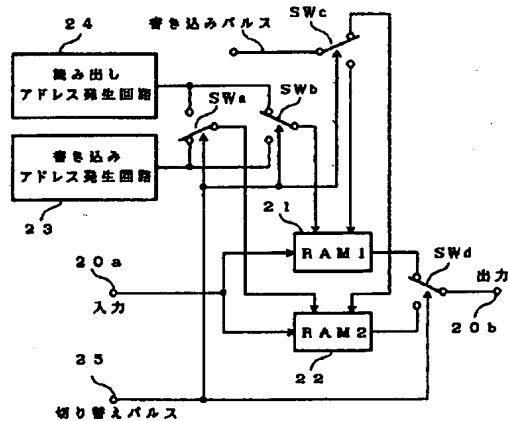
【図2】

ブロッキングの例



【図3】

ブロッキング回路20



【図4】

DCTとIDCTの関係

$f(0,0)$	$f(0,1)$	$f(0,2)$	$f(0,3)$	$f(0,4)$	$f(0,5)$	$f(0,6)$	$f(0,7)$
$f(1,0)$	$f(1,1)$	$f(1,2)$	$f(1,3)$	$f(1,4)$	$f(1,5)$	$f(1,6)$	$f(1,7)$
$f(2,0)$	$f(2,1)$	$f(2,2)$	$f(2,3)$	$f(2,4)$	$f(2,5)$	$f(2,6)$	$f(2,7)$
$f(3,0)$	$f(3,1)$	$f(3,2)$	$f(3,3)$	$f(3,4)$	$f(3,5)$	$f(3,6)$	$f(3,7)$
$f(4,0)$	$f(4,1)$	$f(4,2)$	$f(4,3)$	$f(4,4)$	$f(4,5)$	$f(4,6)$	$f(4,7)$
$f(5,0)$	$f(5,1)$	$f(5,2)$	$f(5,3)$	$f(5,4)$	$f(5,5)$	$f(5,6)$	$f(5,7)$
$f(6,0)$	$f(6,1)$	$f(6,2)$	$f(6,3)$	$f(6,4)$	$f(6,5)$	$f(6,6)$	$f(6,7)$
$f(7,0)$	$f(7,1)$	$f(7,2)$	$f(7,3)$	$f(7,4)$	$f(7,5)$	$f(7,6)$	$f(7,7)$

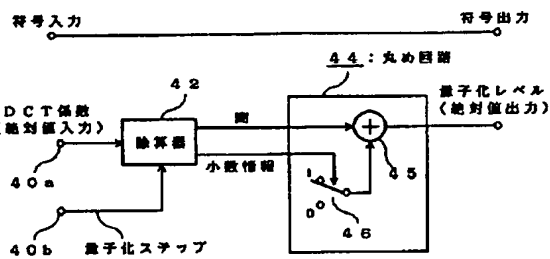
DCT ↓

↑ IDCT

$F(0,0)$	$F(0,1)$	$F(0,2)$	$F(0,3)$	$F(0,4)$	$F(0,5)$	$F(0,6)$	$F(0,7)$
$F(1,0)$	$F(1,1)$	$F(1,2)$	$F(1,3)$	$F(1,4)$	$F(1,5)$	$F(1,6)$	$F(1,7)$
$F(2,0)$	$F(2,1)$	$F(2,2)$	$F(2,3)$	$F(2,4)$	$F(2,5)$	$F(2,6)$	$F(2,7)$
$F(3,0)$	$F(3,1)$	$F(3,2)$	$F(3,3)$	$F(3,4)$	$F(3,5)$	$F(3,6)$	$F(3,7)$
$F(4,0)$	$F(4,1)$	$F(4,2)$	$F(4,3)$	$F(4,4)$	$F(4,5)$	$F(4,6)$	$F(4,7)$
$F(5,0)$	$F(5,1)$	$F(5,2)$	$F(5,3)$	$F(5,4)$	$F(5,5)$	$F(5,6)$	$F(5,7)$
$F(6,0)$	$F(6,1)$	$F(6,2)$	$F(6,3)$	$F(6,4)$	$F(6,5)$	$F(6,6)$	$F(6,7)$
$F(7,0)$	$F(7,1)$	$F(7,2)$	$F(7,3)$	$F(7,4)$	$F(7,5)$	$F(7,6)$	$F(7,7)$

【図5】

量子化部40



【图6】

### ジグザグスキャンの例

$F(0,0)$	$F(0,1)$	$F(0,2)$	$F(0,3)$	$F(0,4)$	$F(0,5)$	$F(0,6)$	$F(0,7)$
$F(1,0)$	$F(1,1)$	$F(1,2)$	$F(1,3)$	$F(1,4)$	$F(1,5)$	$F(1,6)$	$F(1,7)$
$F(2,0)$	$F(2,1)$	$F(2,2)$	$F(2,3)$	$F(2,4)$	$F(2,5)$	$F(2,6)$	$F(2,7)$
$F(3,0)$	$F(3,1)$	$F(3,2)$	$F(3,3)$	$F(3,4)$	$F(3,5)$	$F(3,6)$	$F(3,7)$
$F(4,0)$	$F(4,1)$	$F(4,2)$	$F(4,3)$	$F(4,4)$	$F(4,5)$	$F(4,6)$	$F(4,7)$
$F(5,0)$	$F(5,1)$	$F(5,2)$	$F(5,3)$	$F(5,4)$	$F(5,5)$	$F(5,6)$	$F(5,7)$
$F(6,0)$	$F(6,1)$	$F(6,2)$	$F(6,3)$	$F(6,4)$	$F(6,5)$	$F(6,6)$	$F(6,7)$
$F(7,0)$	$F(7,1)$	$F(7,2)$	$F(7,3)$	$F(7,4)$	$F(7,5)$	$F(7,6)$	$F(7,7)$

【図 9】

### VLC回路60

【图7】

### 量子化レベルの例

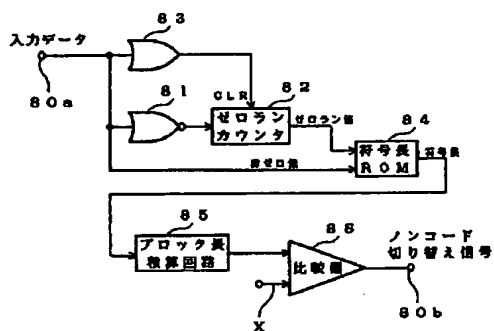
【图 8】

### 二次元符号化VLCテーブル例

ラン	非ゼロ値	符号語
E O B	-	1 0
0	1	1 1 0
0	-1	1 1 1
1	1	0 1 1 0
1	-1	0 1 1 1
0	2	0 1 0 0 0
0	-2	0 1 0 0 1
2	1	0 1 0 1 0
2	-1	0 1 0 1 1
0	3	0 0 1 0 1 0
0	-3	0 0 1 0 1 1
3	1	0 0 1 1 1 0
3	-1	0 0 1 1 1 1

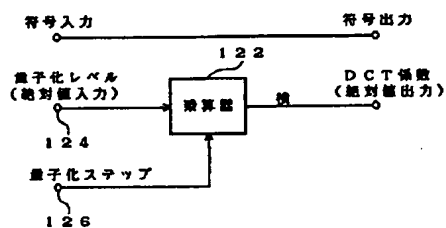
【图 10】

V L C 符号長計測回路 80



【图 13】

逆量子化編 120



【图 1-1】

信号伸長装置 (デコーダ) 100